

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-020864

(43)Date of publication of application : 29.01.1993

(51)Int.Cl.

G11C 7/00

(21)Application number : 03-202581

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 15.07.1991

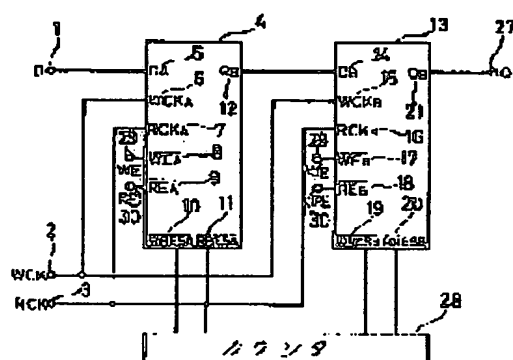
(72)Inventor : OKIDAKA TAKENORI
MIYAZAKI YUKIO

(54) CAPACITY EXTENDING CIRCUIT FOR FIFO MEMORY

(57)Abstract:

PURPOSE: To extend memory capacity through a simple constitution by outputting a write/read reset from a control counter so that data, obtained by dividing total data equally by the number of FIFO memories are written/read out into/from respective FIFO memories.

CONSTITUTION: A control counter 28 sets the timing for outputting a write reset WRES and a read reset REES to a first-in first-out(FIFO) memories 4, 13 equal to the number of data obtained by dividing the total data to be inputted to the entire circuit by the number of FIFO memories. Since only one control counter is required and no output selector is required, memory capacity can be extended through a simple constitution.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-20864

(43)公開日 平成5年(1993)1月29日

(51)Int.Cl.⁵

G11C 7/00

識別記号

318 A 7323-5L

庁内整理番号

FI

技術表示箇所

審査請求 未請求 請求項の数1(全7頁)

(21)出願番号 特願平3-202581
 (22)出願日 平成3年(1991)7月15日

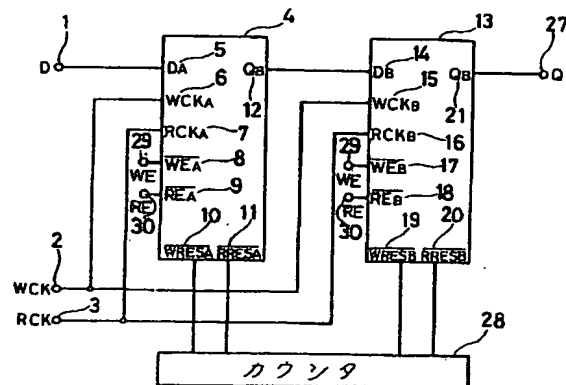
(71)出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目2番3号
 (72)発明者 沖△高▽ 毅則
 兵庫県伊丹市瑞原4丁目1番地 三菱電機
 株式会社北伊丹製作所内
 (72)発明者 宮崎 行雄
 兵庫県伊丹市瑞原4丁目1番地 三菱電機
 株式会社北伊丹製作所内
 (74)代理人 弁理士 早瀬 憲一

(54)【発明の名称】 FIFOメモリ容量拡張回路

(57)【要約】

【目的】 複数のFIFOメモリを用いた容量回路の回路構成と制御を簡単にする。

【構成】 複数のFIFOメモリをカスケード接続し、それぞれのFIFOメモリへ書き込み及び読み出しクロックと書き込み及び読み出しリセットとをそれぞれ同位相、同周期に出力する制御カウンタを設け、各FIFOメモリに書き込まれ、読み出されるデータのデータ数が、回路全体に入力される総データを上記複数のFIFOメモリの数で割った値のデータ数となるタイミングで上記書き込み及び読み出しリセットを出力する。



5,14: データ入力
 6,15: 書き込みクロック入力
 7,16: 読み出しクロック入力
 4: 第1FIFOメモリ
 8,17: 書き込みイネーブル入力
 9,18: 読み出しイネーブル入力
 2: 書き込みクロック入力端子
 3: 読み出しクロック入力端子
 1: データ入力端子
 10,19: 書き込みリセット入力
 11,20: 読み出しリセット入力
 12,21,27: データ出力
 13: 第2FIFOメモリ
 29: 書き込みイネーブル入力端子
 30: 読み出しイネーブル入力端子

【特許請求の範囲】

【請求項1】 データ入力とデータ出力とをカスケード接続した複数のFIFOメモリと、

上記複数のFIFOメモリへ、同位相、同周期の書き込み及び読み出しクロックと、同位相、同周期の書き込み及び読み出しリセットとをそれぞれ出力する制御カウンタとを備え、

上記FIFOメモリにおいて書き込み、読み出されるデータのデータ数が、回路全体で扱われる総データを上記複数のFIFOメモリの数で割った値のデータ数になるタイミングで、上記制御カウンタから上記書き込み及び読み出しリセットを出力することを特徴とするFIFOメモリ容量拡張回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、複数のFIFOメモリを用いた容量拡張方法の改良に関するものである。

【0002】

【従来の技術】 図7は、従来のFIFOメモリを複数個使用し、メモリ容量の拡張を行ったFIFOメモリ回路の回路構成を示す図であり、図において、1はデータ入力端子D、2は書き込みクロック入力端子WCK、3は読み出しクロック入力端子RCK、4は第1のFIFOメモリ、5～12はそれぞれ第1のFIFOメモリ4におけるデータ入力DA、書き込みクロック入力WCKA、読み出しクロック入力RCKA、書き込みイネーブル入力/WEA、読み出しイネーブル入力/REA、書き込みリセット入力/WRESA、読み出しリセット入力/RRESA、データ出力QA、13は第2のFIFOメモリ、14～21は、それぞれ第2のFIFOメモリにおけるデータ入力DB、書き込みクロック入力WCKB、読み出しクロック入力RCKB、書き込みイネーブル入力/WEB、書き込みリセット入力/WRESB、読み出しイネーブル入力/REB、書き込みリセット入力/WREB、読み出しリセット入力/RRESB、データ出力QB、22、23はインバータ、24は第1のFIFOメモリ4における書き込みイネーブル/WEA 8、読み出しイネーブル入力/REA 9及び第2のFIFOメモリ13における書き込みイネーブル入力/WEB 17、読み出しイネーブル入力/REA 18をそれぞれ制御するカウンタA、25は第1のFIFOメモリ4における書き込みリセット入力/WRESA 10、読み出しリセット入力/RRESA 11及び第2のFIFOメモリ13における書き込みリセット入力/WRESB 19、読み出しリセット入力/RRESB 20を制御するカウンタB、26はデータ出力QA 12またはデータ出力QB 21を選択するセレクタ、27はデータ出力端子Qである。

【0003】 次に、動作について説明する。デジタル複写機においては1インチあたり400ドットの情報量を

持っており、このためA3用紙短辺1ラインあたりのデータ量は約5Kワードとなる。現在、一般に使われているFIFOメモリの容量は約5Kワードのため、1インチあたりの情報量が600ドットに向上したり、1ラインの長さが延びるとメモリ容量を拡張することが必要となる。

【0004】 以下、図8に示すタイミングチャートを用いて、1ラインあたり8Kワードのデータを処理する場合の動作を説明する。尚、FIFOメモリ4、13は、それぞれ5Kワードの容量をもっている。

【0005】 図8は、図7に示すFIFOメモリ容量拡張回路の動作タイミングチャートであり、期間Eでは、第1のFIFOメモリ4に0から3999ワードのデータが書き込まれ、第1のFIFOメモリ4より前ラインの0"から3999"ワードのデータが読み出される。同時に、第2のFIFOメモリ13への書き込みと第2のFIFOメモリ13からの読み出しが禁止される。そして、この時、セレクタ26はデータ出力QA 12を選択する。また、期間Fでは、第2のFIFOメモリ13に4000から7999ワードのデータが書き込まれ、第2のFIFOメモリ13より前ラインの4000"から7999"ワードのデータが読み出される。同時に、第1のFIFOメモリ4への書き込みと第1のFIFOメモリ4からの読み出しが禁止される。そして、この時、セレクタ26はデータ出力QB 21を選択する。このように、期間E～Fでは、0から7999ワードまでのデータの書き込みと前ラインの0"から7999"ワードまでのデータの読み出しが行われる。

【0006】 一方、期間Gでは、第1のFIFOメモリ4に0'から3999'ワードのデータが書き込まれ、第1のFIFOメモリ4より前ラインの0から3999ワードのデータが読み出される。同時に、第2のFIFOメモリ13への書き込みと第2のFIFOメモリ13からの読み出しが禁止される。そして、この時、セレクタ26はデータ出力QA 12を選択する。また、期間Hでは、第2のFIFOメモリ13に4000'から7999'ワードのデータが書き込まれ、第2のFIFOメモリ13より前ラインの4000から7999ワードのデータを読み出される。同時に、第1のFIFOメモリ4への書き込みと第1のFIFOメモリ4からの読み出しが禁止される。そして、この時、セレクタ26はデータ出力QB 21を選択する。このように、期間G～Hでは、0'から7999'ワードまでのデータの書き込みと前ラインデータ0から7999ワードまでのデータの読み出しが行われる。

【0007】

【発明が解決しようとする課題】 上記のように従来のFIFOメモリを複数個用いて容量拡張を行ったFIFOメモリ回路は、イネーブル用カウンタA、リセット用カウンタB、出力セレクタ26等を必要とし、回路構成が

大がかりになり、動作制御も複雑になるという問題点があった。

【0008】この発明は上記のような問題点を解消するためになされたもので、簡単な構成と簡単な制御によってメモリ容量を拡張することができるFIFOメモリ回路を提供することを目的とする。

【0009】

【課題を解決するための手段】この発明にかかるFIFOメモリ回路は、複数のFIFOメモリをカスケード接続し、入力される総データをFIFOメモリの数で均等数に分けた数のデータが、それぞれのFIFOメモリに書き込まれ、読み出されるように制御カウンタからそれぞれのFIFOメモリに、書き込み及び読み出しクロックと書き込み及び読み出しリセットとを出力するようにしたものである。

【0010】

【作用】この発明においては、同一アドレスに対して、同時に書き込みと読み出しを行った場合、読み出しは既に書き込まれていたデータを読み出し、書き込みは新たなデータを書き込むことができるため、簡単な構成と制御で容量拡張を行うことができる。

【0011】

【実施例】以下、この発明の一実施例を図について説明する。図1は、この発明の一実施例によるFIFOメモリ容量拡張回路の構成を示す図であり、図において、図7と同一符号は同一または相当する部分を示し、FIFOメモリ4、13はそれぞれ従来と同様に5Kワードのメモリ容量を有し、書き込みと読み出しとが独立且つ非同期に実行できるものであり、28は書き込みリセット入力/WRESA10、読み出しリセット入力/RRESA11、書き込みリセット入力/WRESB19、読み出しリセット入力/RRESB20をそれぞれ制御するカウンタ、29は書き込みイネーブル入力端子/WE、30は読み出しイネーブル入力端子/REである。

【0012】次に、上記FIFOメモリ容量拡張回路の動作を図2を用いて説明する。図2は、上記図1で示すFIFOメモリ容量拡張回路の動作タイミングチャートであり、期間Aでは、第1のFIFOメモリ4に0から3999ワードのデータが書き込まれ、第1のFIFOメモリ4より前ラインの4000から7999ワードのデータが読み出される。同時に、第2のFIFOメモリ13に前ラインの4000から7999ワードのデータを書き込まれ、第2のFIFOメモリ13より前ラインの0から3999ワードのデータが読み出される。続いて、期間Bでは、第1のFIFOメモリ4に4000から7999ワードのデータを書き込まれ、第1のFIFOメモリ4より0から3999ワードのデータを読み出される。同時に、第2のFIFOメモリ13に0から3999ワードのデータを書き込まれ、第2のFIFOメモリ13より前ラインの4000から7

999ワードのデータが読み出される。このように、A～Bの期間では、0から7999ワードのデータの書き込みと、前ラインデータ0から7999ワードのデータまでの読み出しが行われる。

【0013】一方、期間Cでは、第1のFIFOメモリ4に0から3999ワードのデータが書き込まれ、第1のFIFOメモリ4より前ラインの4000から7999ワードのデータが読み出される。同時に、第2のFIFOメモリ13に前ラインの4000から7999ワードのデータが書き込まれ、第2のFIFOメモリ13より前ラインの0から3999ワードのデータが読み出される。続いて、期間Dでは、第1のFIFOメモリ4に4000から7999ワードのデータが書き込まれ、第1のFIFOメモリ4より0から3999ワードのデータが読み出される。同時に、第2のFIFOメモリ13に0から3999ワードのデータを書き込まれ、第2のFIFOメモリ13より前ラインの4000から7999ワードのデータが読み出される。このようにC～Dの期間では、0から7999ワードのデータの書き込みと、前ラインデータ0から7999ワードのデータまでの読み出しが行われる。

【0014】図3～6は、上記データの書き込みと読み出しを行う第1FIFOメモリ4と第2のFIFOメモリ13の動作を示すタイミングチャートであり、図3はデータ書き込み時の書き込みクロック入力WCKA(WCKB)、書き込みイネーブル/WEA(/WEB)、データ入力DA(DB)のそれぞれのタイミングを示し、図4は書き込みリセット時の書き込みクロック入力WCKA(WCKB)、書き込みリセット入力/WRESA(/WRESB)、データ入力DA(DB)のそれぞれのタイミングを示し、図5は、データ読み出時の読み出しクロック入力RCKA(RCKB)、読み出しイネーブル入力/REA(/REB)、データ出力QA(QB)のそれぞれのタイミングを示し、図6は、読み出しリセット時の読み出しクロック入力RCKA(RCKB)、読み出しリセット入力/REESA(/REESB)、データ出力QA(QB)のそれぞれのタイミングを示している。このように、これら第1FIFOメモリ4と第2のFIFOメモリ13とは、書き込みクロックと読み出しクロック及び、書き込みリセットと読み出しリセットのそれぞれが同位相、同周期で入力されるようになっている。また、ここで、読み出しイネーブル入力/REA(/REB)と書き込みイネーブル入力/WEA(/WEB)は、書き込みイネーブル端子WE29と読み出しイネーブル入力端子RE30とからFIFOメモリ4、13のそれぞれに入力されるようになっており、書き込み及び読み出し時にはそれぞれのFIFOメモリ4、13に“L”の信号が入力され、それ以外の時は“H”の信号が入力される。

【0015】このような本実施例のFIFOメモリ容量

拡張回路では、書き込みクロックと読み出しクロック及び、書き込みリセットと読み出しリセットのそれぞれが同位相、同周期で入力される第1 F I F Oメモリ4と第2の F I F Oメモリ13を用い、第1 F I F Oメモリ4におけるデータ出力 Q_A と第2の F I F Oメモリ13におけるデータ入力 D_B とをカスケード接続し、制御カウンタ28から、これら第1 F I F Oメモリ4と第2の F I F Oメモリ13に出力する書き込みリセット/WRES、読み出しリセット/REESの出力タイミングを、各 F I F Oメモリで読み込まれ、且つ、書き込まれるデータのデータ数が、該回路全体に入力される総データ

(8000)を第1 F I F Oメモリ4と第2の F I F Oメモリ13との2つのメモリ数で割った値のデータ数(4000)となるようにしたため、各回路において、読み出しは既に書き込まれていたデータが読み出され、書き込みは新たなデータを書き込むことができ、その結果、制御カウンタが一つで済み、出力セレクトが不要となり、従来に比べて簡単な回路構成と制御によってメモリ容量が拡張できる。

【0016】尚、上記実施例は F I F Oメモリを2個用いて容量拡張を行った例であるが、本発明においては、 F I F Oメモリを2個より多く設けても、上記実施例と同じようにそれぞれのメモリのデータのデータ出力とデータ入力をカスケード接続し、各 F I F Oメモリで書き込まれ、読み出されるデータ数が入力される総データのデータ数を設けた F I F Oメモリのメモリ数で割った値のデータ数となるタイミングで制御カウンタから書き込み及び読み出しリセットを各 F I F Oメモリに出力するうようにすればよい。

【0017】また、本発明においては、当然のことながら、使用する F I F Oメモリは、扱う総データ数を使用する F I F Oメモリ数で割った値より大きい値のワード容量を持っていることが必要である。

【0018】

【発明の効果】以上のように、この発明によれば、複数の F I F Oメモリをカスケード接続し、それぞれのメモリに出力される書き込み及び読み出しクロックと書き込み及び読み出しリセットとを同位相、同周期の信号にし、個々の回路で扱われる(書き込まれ、読み出される)データ数が全ての回路間で同じになるようなタイミングで上記書き込み及び読み出しリセットを各 F I F Oメモリに出力するようにしたので、制御カウンタは1個で済み、また、出力セレクトも不要になるため、回路を安価に構成することができ、しかも、制御方法が簡単になる効果がある。

【図面の簡単な説明】

【図1】この発明の一実施例による F I F Oメモリ回路を示す回路構成図。

【図2】図1に示す F I F Oメモリ回路の動作を示すタイミングチャート図。

【図3】図1に示す F I F Oメモリ回路におけるデータ書き込み時の書き込みクロック入力、書き込みイネーブル、データ入力のタイミングを示す信号波形図。

【図4】図1に示す F I F Oメモリ回路における書き込みリセット時の書き込みクロック入力、書き込みリセット入力、データ入力のそれぞれのタイミングを示す信号波形図。

【図5】図1に示す F I F Oメモリ回路におけるデータ読み出し時の読み出しクロック入力 RCK_A 、読み出しイネーブル入力、データ出力のそれぞれのタイミングを示す信号波形図。

【図6】図1に示す F I F Oメモリ回路における読み出しリセット時の読み出しクロック入力 RCK_A 、読み出しリセット入力、データ出力のそれぞれのタイミングを示す信号波形図。

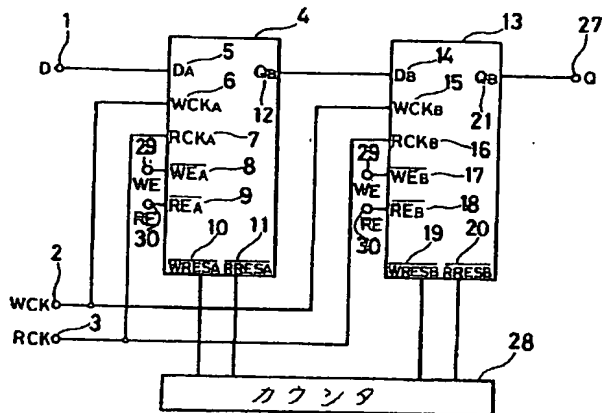
【図7】従来の F I F Oメモリ回路を示す回路構成図。

【図8】図7に示す F I F Oメモリ回路の動作を示すタイミングチャート図。

【符号の説明】

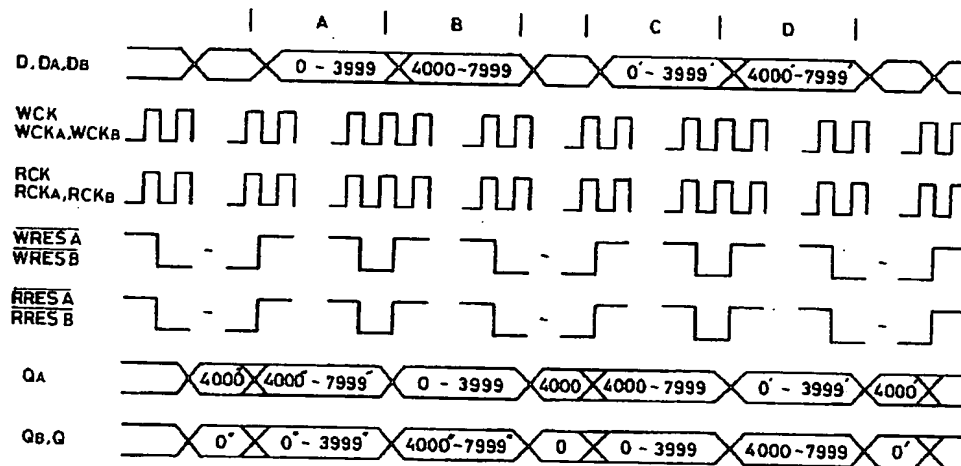
- 1 データ入力端子D
- 2 書き込みクロック入力端子WCK
- 3 読み出しクロック入力端子RCK
- 4 第1の F I F Oメモリ
- 5 データ入力 D_A
- 6 書き込みクロック入力 WCK_A
- 7 読み出しクロック入力 RCK_A
- 8 書き込みイネーブル入力/WEA
- 9 読み出しイネーブル入力REA
- 10 書き込みリセット入力/WRESA
- 11 読み出しリセット入力/RRESA
- 12 データ出力 Q_A
- 13 第2の F I F Oメモリ
- 14 データ入力 D_B
- 15 書き込みクロック入力 WCK_B
- 16 読み出しクロック入力 RCK_B
- 17 書き込みイネーブル入力/WEB
- 18 読み出しイネーブル入力/REB
- 19 書き込みリセット入力/WRESB
- 20 読み出しリセット入力/RRESB
- 21 データ出力 Q_B
- 22 インバータ
- 23 インバータ
- 24 カウンタA
- 25 カウンタB
- 26 セレクト
- 27 データ出力端子Q
- 28 カウンタ
- 29 書き込みイネーブル入力端子WE
- 30 読み出しイネーブル入力端子RE

【図1】

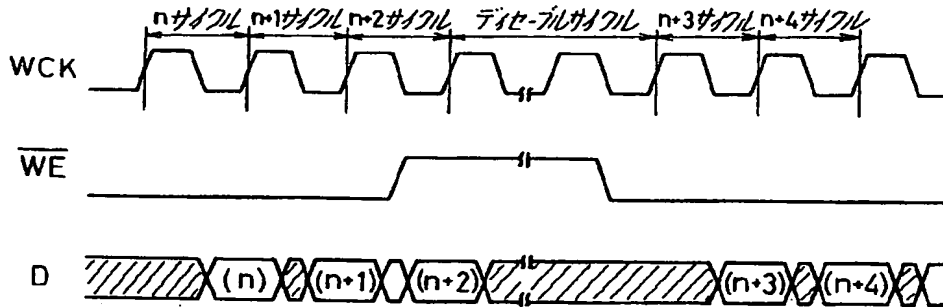


- 5,14: データ入力
 6,15: 書き込みクロック入力
 7,16: 読み出しクロック入力
 4: 第1のFIFOメモリ
 8,17: 書き込みイネーブル入力
 9,18: 読み出しイネーブル入力
 2: 書き込みクロック入力端子
 3: 読み出しクロック入力端子
 1: データ入力端子
- 10,19: 書き込みリセット入力
 11,20: 読み出しリセット入力
 12,21,27: データ出力
 13: 第2のFIFOメモリ
 29: 書き込みイネーブル入力端子
 30: 読み出しイネーブル入力端子

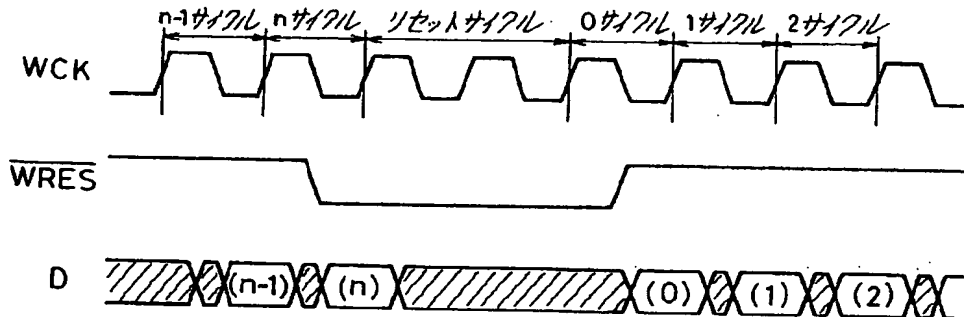
【図2】



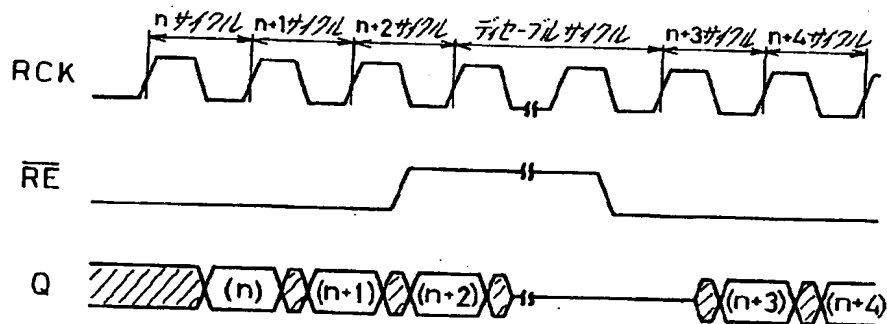
【図3】



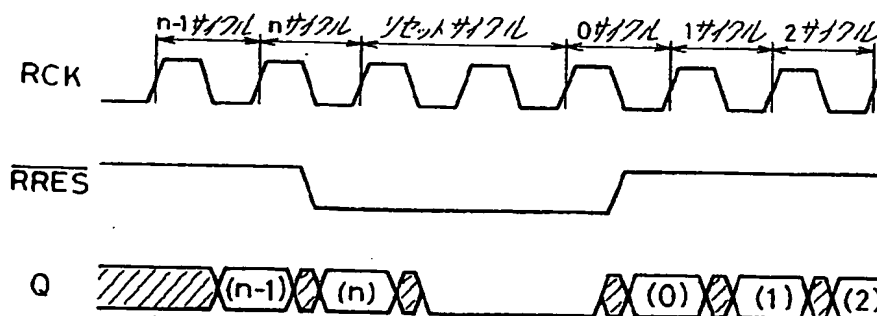
【図4】



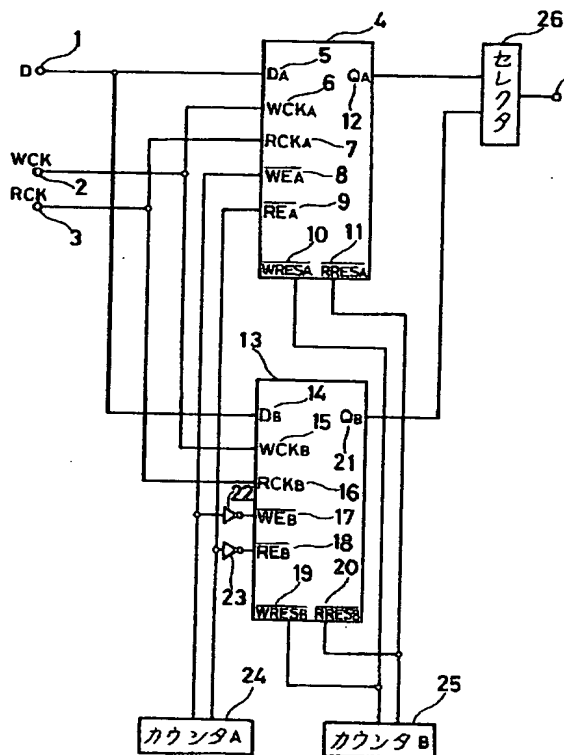
【図5】



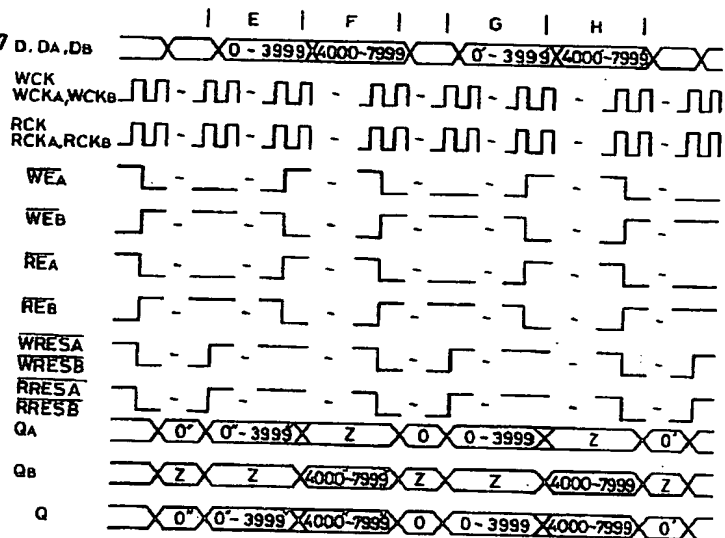
【図6】



【図 7】



【図 8】



【手続補正書】

【提出日】平成4年4月17日

【手続補正1】

【補正対象書類名】図面

【補正対象項目名】図6

【補正方法】変更

【補正内容】

【図 6】

